

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2002-523857

(P2002-523857A)

(43) 公表日 平成14年7月30日 (2002.7.30)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
G 1 1 C 7/00	3 1 8	G 1 1 C 7/00	3 1 8 B 5 B 0 7 7
G 0 6 F 5/06		G 0 6 F 5/06	Z
13/38	3 1 0	13/38	3 1 0 A
13/42	3 2 0	13/42	3 2 0 A

審査請求 未請求 予備審査請求 有 (全 40 頁)

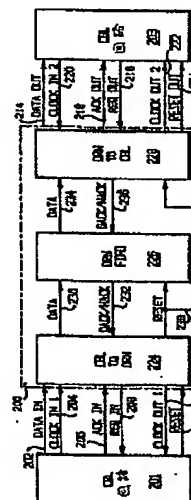
(21) 出願番号 特願2000-568015(P2000-568015)
(86) (22) 出願日 平成11年8月27日 (1999.8.27)
(85) 翻訳文提出日 平成13年2月16日 (2001.2.16)
(86) 国際出願番号 PCT/US 99/18822
(87) 国際公開番号 WO 00/13094
(87) 国際公開日 平成12年3月9日 (2000.3.9)
(31) 優先権主張番号 09/143, 355
(32) 優先日 平成10年8月28日 (1998.8.28)
(33) 優先権主張国 米国 (US)
(81) 指定国 EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), AU, CA, IL, JP

(71) 出願人 テセウス ロジック, インコーポレイテッド
アメリカ合衆国 フロリダ 32817, オーランド, クォードラングル プールバード 3501, スイート 100
(72) 発明者 マステラー, スティーブン アール.
アメリカ合衆国 ミネソタ 55116, セント ポール, ステュワート アベニュー ナンバー1424 2285
(74) 代理人 弁理士 山本 秀策
Fターム (参考) 5B077 DD00 DD07 FF02 GG02 GG16
MM01 NN07

(54) 【発明の名称】 非同期型論理を用いた F I F O

(57) 【要約】

本発明は、非同期型ヌル変換論理 (NCL) を用いた非同期型 F I F O (226) であり、複数の非同期型システム (201、203) 間のインターフェース (224、228) を最小の設計および検査で容易にする。複数のインターフェース、設定、待ち時間の最短化、およびデータストリーム処理能力も組み込まれる。



【特許請求の範囲】

【請求項1】 先入れ先出し（F I F O）インターフェース回路であって、
第1のクロック信号により調節される2値論理信号を受信し、該2値論理信号を、ヌルレベルが挿入された非同期型デュアルレールデータレベルに変換するC B L / D R N インターフェース回路と、

該デュアルレールデータ信号を格納し、該デュアルレールデータ信号を読み出し可能にするデュアルレール非同期型バッファと、

該デュアルレール非同期型F I F O から該デュアルレールデータ信号を読み出し、該デュアルレールデータ信号を第2のクロック信号により調節される2値論理信号に変換するD R N / C B N インターフェース回路と、
を備える回路。

【発明の詳細な説明】**【0001】****(発明の分野)**

本発明は、エレクトロニクスの分野に関し、特に、非同期型先入れ先出し（FIFO）バッファ回路に関する。

【0002】**(背景)**

今日用いられる電子論理システムの多くは、クロックブール2値論理回路を用いている。このような2値回路は、単一の回線上に2つの値（例えば、数値0および1、または論理真および論理偽等）を別個の電圧として表す。接地電圧電位は数字0または論理偽を表し、第2の電圧は（例えば、+5ボルト）は数字1または論理真を表すことがほとんどである。最も一般的に用いられている論理システムは、ブール論理演算を2値信号（例えば、AND、OR、およびNOT演算）で行う。本明細書中、ブール論理用に2値を表すのに単一信号回線を用いる信号形式を「ブール2値」形式と呼ぶ。

【0003】

クロックブール論理（CBL）回路は、信号処理のタイミングを制御するのにクロック信号を用いるブール論理回路である。例えば、クロックブール論理回路は、クロックの立ち上がりエッジで入力信号を回路に与え、クロックの立ち下がりエッジで回路の出力をラッチし得る。このようにしてクロックを用いると、入力信号時間が回路全体にわたって伝播し、（設計が適切な場合）結果のサンプリングを行わなくても確実に回路出力が整定する。クロック回路は、周期を水晶振動子または他の振動子から得ることにより、高度に調整され、一定の周波数（すなわち、一定の周期）を有する傾向を持つ。クロック回路においてクロック周期が信号伝播遅延よりも短いと、サンプリング時間における回路の出力が無効となり得、無効データがラッチされる可能性がある。

【0004】

先入れ先出し（FIFO）バッファは、データを格納および回復する順番に特徴があるメモリ回路である。FIFOバッファからのデータ読み出しは、格納さ

れた順番と同じ順番のみで行われ得る。例えば、（「先入れ先出し」という名称の通り）最初にFIFOバッファに格納されたデータが必ず最初に読み出される。FIFOバッファはまた、2つのサイズ特性によっても特徴付けられる。FIFOバッファの幅（すなわち「ワードサイズ」）は、一度に格納または読み出し可能なデータの量を表す。FIFOバッファの深さは、格納可能な情報の量の合計を表し、ワード数として引用されることが多い。

【0005】

クロックFIFOバッファでは、1つ以上のクロック信号が、読み出しおよび書込み動作ならびに内部動作を調整する。単一のクロックが用いられる場合、入力速度および出力速度は同じであり、データは一定の遅延でバッファ内を伝播する。回路内部では、クロック信号が、全ての格納ロケーションのコンテンツが同時に進行するよう、一連の格納ロケーションを通過するデータの動きを調整する。クロック速度が内部回路の最高演算速度を越えると、内部格納ロケーションは、前の格納ロケーションから新しいデータを受け取る前に値をラッチする。その上、格納ロケーションと関連付けられている回路が振動するかまたは準安定状態になり得る。

【0006】

内部回路は、クロック周期と内部回路内での最大遅延時との間のマージンがある程度見込んで、実際のクロック速度よりもやや低めの速度で演算するように設計されていることが多い。このようなマージンを設けると、特定のタイミング問題を解消できるが、内部回路内の構成部分の全てまたは多くが可能な最高速度よりも低い速度で動作することになる。

【0007】

別のクロックFIFOバッファの場合、互いに独立した読み出しクロックおよび書込みクロックが書込み処理および読み出し処理を制御する。読み出しクロックおよび書込みクロックは、読み出しデータ速度および書込みデータ速度をそれぞれ決定し、これらの速度は互いに異なり得る。外部の回路がフルバッファまでデータを書き込もうとすると、オーバーフローが発生し得る。外部の回路が空のバッファからデータを読み出そうとすると、アンダーフローが発生し得る。

【0008】

2つの外部回路間に同期型FIFOバッファを構築する際に、外部回路が両方とも同じクロックまたは同期クロックを用いている場合は、構築は比較的簡単である。しかし、2つの互いに異なりかつ非同期型のクロックドメインで動作するシステムの場合は、FIFOバッファを設計し、信頼性を管理するのは比較的困難であることが分かっている。このようなFIFOバッファは、(1)データ利用可能度の不規則性(2)基本的なクロックシステムの相違に適応する必要がある。したがって、クロック回路が2つあるFIFOバッファの設計において、FIFO内で用いられるクロック形式およびクロック制御論理形式は、大量の設計リソースおよび時間を吸収する重要な要素である。

【0009】

FIFO設計を完全に系統立てて、容易に入手可能で、容易にスケラブルで、かつタイミングの問題あるいは準安定性にわずらわされないFIFOを得ることが望ましい。一般的に用いられる試験済みのFIFO設計の多数のライブラリを維持し、多様な用途に役立てることが可能である。しかし、このようなFIFOの使用状況を全て予測し、説明付けることは不可能に近い。従って、各アプリケーションについて新しい(または改変した)設計を作成し、厳正な試験を行うことが必要である。

【0010】

(発明の要旨)

本発明は、システムクロックと関係なく内部でデータ信号を伝播させる非同期型FIFOバッファに関する。本FIFOバッファは、物理的デバイスの最高速度で動作し、しかも容易に改変可能である。

【0011】

この好適なFIFOバッファは、クロックが互いに非同期であるクロックシステム間のインターフェースとなる場合に特に有用である。このFIFOバッファは、事前設計された「コアウェア」サブシステムをタイミング良くかつコスト効率の良い設計サイクルで集積化する必要のある「特定用途向け集積回路」(ASIC)チップ設計に用いる場合に特に有用であり得る。このようなアプリケーション

ョンの場合、設計サイクル時間、技術、設計ツール（特に最新の利用可能な技術）の入手容易性の欠如、および費用が原因となって、徹底的に試験をしたり、複雑な設計を再設計することが不可能となっている。

【0012】

本開示によるFIFOバッファおよびインターフェース回路を用いれば、設計者は設計に関する他のより重要な問題に専念することができる。本開示によるFIFOシステムは、設計をより扱い易いサブセクションに分割する柔軟性を設計者に与えることにより、複雑なシステム設計の基本プロセスを単純化し得る。

【0013】

本発明の開示は、以下の（１）～（３）を有するシステムというコンテキストの中で行われる：（１）クロック２値信号を、ヌル信号を用いた「デュアルレール」信号形式で第１のクロックドメインから非同期型回路へと変換する第１のインターフェース回路；（２）直列の非同期型格納レジスタ；および（３）ヌル信号を用いたデュアルレール信号型からの信号を、第２のクロックドメイン内のクロック２値信号に変換する第２のインターフェース回路。これらの非同期型格納レジスタは、どちらのクロックドメインからでも非同期的に動作する。本発明を、添付の図面を参照しながら以下に説明する。

【0014】

（好適な実施形態の詳細な説明）

非同期型回路は、クロック無しで動作するものとして提案されてきた。米国特許第5,305,463号（「463論理システム」）に、１つの非同期型論理パラダイムについての記載がある。本明細書中、同特許の全体を参考のため援用する。複数のデータ表示が議論されるが、１つの表示において、信号は、データ値またはヌル値をとり得る。データ値は、例えば、０または１の数値か、論理値真または論理値偽、あるいは２値またはブール論理表示に関係のない別の意味であり得る。

【0015】

このような表示において、２値信号は、第１の信号回線が０または偽を意味するように指定され、第２の信号回線が１または真を意味するように指定されてい

る2つの信号回線を取り得る。この一組の信号回線は共に、1つの2値変数（例えば、1つのビットの2値データ）を表し、以下の4つの可能な状態を有する：

（1）データ，データ；（2）データ，ヌル；（3）ヌル，データ（4）ヌル，ヌル。第1の状態（データ／データ）は、許されない。第2の状態（データ，ヌル）は、変数が値0（または偽）をとったことを意味する。第3の状態（ヌル，データ）は、変数が値1（または真）をとったことを意味する。第4の状態（ヌル，ヌル）は、意味を持たないが、変数が意味を持つ値をとらなかったことを示すものと考えられる。

【0016】

‘463論理システムの特定の実施形態において、ヌル値とデータ値との間の信号サイクル速度は、主に以下の要素によって決定する：（1）全データの利用可能度（2）用いられる物理的デバイスの切替え速度。ヌル周期はデータ周期を分割し、これにより、信号の異なる時間値を区別する。回路への入力信号の表示を調整したり、または出力信号のラッチングを調整したりする際、固定周期のクロックは用いない

本明細書中の本発明の好適な実施形態では、データ周期を分割するヌル周期を用いて、特定の2値変数を非同期型のデュアルレール信号として示す。このような表示を「ヌルを用いたデュアルレール」または「DRN」と呼ぶ。

【0017】

この‘463論理システムは、閾値ゲート構成要素を用いてインプリメントされ得る。米国特許第5,640,105号（「特許‘105」）および米国特許第5,656,948号（「特許‘948」）に、複数の閾値ゲート構成についての記載がある。本明細書中、同特許の全体を参考のため援用する。このようなゲートは、異なる数の入力と、異なる閾値と有する点において特徴付けられ得る。入力の閾値がデータ状態になると、ゲートは、自身からの出力をヌル状態からデータ状態に切り替える。その上、このようなゲートは、入力が全てヌルに戻ったときにのみ自身の出力をヌル状態に戻す。本明細書中で開示されている特定のFIFOバッファ構造は、特許‘463の論理システムの素子ならびに特許‘105および特許‘948のゲートを利用し得る。

【0018】

(システムの概要)

図2は、2つの異なるクロックドメイン間でデータ転送を行う回路の入力および出力を示す。

【0019】

回路200は、上流のCBL回路201から、ブール2値形式の8ビットの2値デジタルデータを信号回線202を通じて受信する。上流CBL回路201は、上流CBL回路201のクロックドメインと同期するクロック信号CLOCKIN1を信号回線204を通じて提供する。回路200はまた、信号回線208を通じてプロトコル信号REQINを提供し、信号回線206を通じて確認応答(acknowledge)信号ACKINを受信する。回路200は、回線208を通るREQIN信号を用いてデータ転送をリクエストし、上流CBS回路201は、回線206を通るACKIN信号を用いてそのリクエストに確認応答する。従来技術で公知の他のインターフェースハンドシェーキングプロトコルも可能である。回路200はまた、回線212を通るRESET入力も含む。図3b、4cおよび4dに関連して以下により詳細に説明するように、回線210を通るCLOCKOUT1出力は、別のデータ転送プロトコルにおいて、ACKIN信号回線206およびREQIN信号回線208を用いた回路に対して用いられ得る。

【0020】

回路200は、ブール2値形式のデータを信号回線214を通じて下流CBL回路203へと提供する。下流CBL回路203は、下流CBL回路203のクロックドメインと同期する信号回線220を通じてクロック信号CLOCKIN2を提供する。回路200はまた、信号回線218を通じてプロトコル信号ACKOUTを提供し、信号回線216を通じてプロトコル信号REQOUTを受信する。下流CBL回路203は、回線216を通るREQOUT信号を用いてデータ転送をリクエストし、回路200は、回線218を通るACKOUT信号を用いてそのリクエストに確認応答する。回路200はまた、図3a、4a、および4bを参照して以下により詳細に説明するように、REQOUT信号回線21

6およびACKOUT信号回線218を用いたデータ転送に対する別のデータ転送プロトコルとして使用可能なCLOCKOUT2出力を回線222を通じて提供する。

【0021】

回路200内部には、CBL/DRNインターフェース回路224、非同期型DRN FIFO226、およびDRN/CBNインターフェース回路228がある。CBL/DRNインターフェース回路224は、ブール2値形式の信号をヌル形式信号を用いたデュアルレールに変換し、そのデータを、単一の回線232を通る単一のDACK/NACK信号の制御下にあるデータ回線230を通じてDRN FIFO226へと転送する。DRN FIFO226は、先入れ先出し格納容量を提供し、そのデータを、信号回線234を通じて、単一の回線236を通るDACK/NACK信号の制御下にあるDRN/CBNインターフェース回路228へと転送する。

【0022】

(コアDRN FIFO)

図1aは、図2のDRN FIFO226の詳細を示す。図1aは、直列の非同期型レジスタ20、22、24、26、28である。非同期型レジスタは、米国特許第5,562,902号（特許‘902）に記載されているタイプのものであり得る。本明細書中、同特許の全体を参考のため援用する。図1aでは5つの非同期型レジスタ20、22、24、26、28を示しているが、所望の容量を提供するものとして他の数および幅も含まれ得る。

【0023】

第1の非同期型レジスタ20は、CBL/DRNインターフェース回路224（図2）から回線21を通じて格納対象データを受信する。データは、ヌル形式を用いたデュアルレールで表される。データは、介在する非同期型レジスタ22、24、26それぞれを連続的に通過して、最後の非同期型レジスタ28に伝播する。最後の非同期型レジスタ28は、ヌル形式を用いたデュアルレールのデータを、回線41を通じて下流インターフェース回路228（図示せず）へと出力する。

【0024】

各非同期型レジスタ20、22、24、26、28は、ヌルおよびデータの交互の波面がレジスタ段をカスケードするように、データ確認応答／ヌル確認応答（「DACK／NACK」）信号30、32、34、36、38、40を用いてデータおよびヌル波面をローカルに伝播させる。下流回路（すなわち、非同期型レジスタから出力を受信する回路）から来て非同期型レジスタにより受信されたDACK／NACK信号は、下流回路がデータ波面またはヌル波面（wave front）を受信する準備ができているかどうかを示す。例えば、DACK／NACK信号は、下流回路がデータを受信しておりヌルを受信する準備が整っていることを示す第1の値をとり得、一方、第2の状態は、下流回路がヌルを受信し終えており、データを受信する準備が整っていることを示す。同様に、非同期型レジスタは、データ／NACK信号を生成して、自身の状態を上流回路（すなわち、データを提供する回路）に示す。

【0025】

説明目的のため、非同期型レジスタ20、22、24、26、28を用いて動作を説明する。これらの非同期型レジスタは最初はヌルを格納している。下流のDRN／CBLインターフェース回路228（図2）は、データ受信の準備ができておらず、DACK／NACK信号回線40を通るデータを受信する準備ができていないことを伝達しないと仮定する。

【0026】

非同期型レジスタは全て、まず最初に自身のすぐ上流にある非同期型レジスタ（または第1の非同期型レジスタ20の場合、上流のインターフェース回路224に）に、データ受信の準備ができたことを示す信号を発信する。最後の非同期型レジスタ28は、下流DRN／CBL回路228（図2）がデータ受信の用意ができていない旨を示すDACK／NACK信号を信号回線40を通じて受信する。

【0027】

上流のCBL／DRN回路224（図2）がデータを供給する（そして第2の非同期型レジスタ22が自身がデータ受信状態であることを示す信号を発信する

）と、第1の非同期型レジスタはそのデータを格納し、即座にそのデータを下流の非同期型レジスタ22に供給し、DACK/NACK信号回線30を通じて第1の非同期型レジスタがヌル受信状態であることを示す信号を発信する。第2の非同期型レジスタ22も同様にデータを格納し、即座にそのデータを第3の非同期型レジスタ24に供給し、第2の非同期型レジスタ22がヌル受信状態であることを示す信号をDACK/NACK信号回線32を通じて第1の非同期型レジスタ20に発信する。このデータは、同様にずっと最後の非同期型レジスタ28までカスケードする。次いで、最後の非同期型レジスタ28がデータを格納し、上流にある非同期型レジスタ全てもデータを格納する。

【0028】

第1の非同期型レジスタ20がデータ格納を終え、ヌル受信状態であることを示す信号を送り終わると、上流のCBL/DRNインターフェース回路224（図2）はヌルを供給する。第2の非同期型レジスタがヌル受信状態であることを示す信号を発信すると、第1の非同期型レジスタ20はヌルを格納し、即座にそのヌルを第2の非同期型レジスタ24に供給し、自身のDACK/NACK信号回線30を切り替えて再度データ受信状態であることを示す。ヌル波は、（下流回路が次なるヌルおよびデータ波を受信する状態ではないため）ヌル波が第4の非同期型レジスタ26で停止する点を除けば、データについて上述した様式で、非同期型レジスタを通して相補的にカスケードする。上流CBL/DRN回路224（図2）が搬送するデータを有する限り、かつ下流DRN/CBL回路228（図2）がデータ受信状態になっていない限り、このプロセスが繰り返される。

【0029】

説明目的のため、第1、第3、および最後の非同期型レジスタ20、24、28がヌルを保持する前にこれらの非同期型レジスタが満杯になり、第2および第4の非同期型レジスタ22、26がデータを保持すると仮定する。（データを保持する）第1、第3、および最後の非同期型レジスタは、各々の下流にある回路がまだデータ受信状態ではないため、ヌル受信状態信号を発信し続けることとなる。同様に、（ヌルを保持する）第2、および第4の非同期型レジスタ22、2

6は、各々の下流にある回路がまだヌル受信状態に入っていないため、データ受信状態信号を発信し続けることとなり、回路はそれ以上データを受信することがなくなる。

【0030】

下流のDRN/CBL回路228(図2)がデータ/NACK信号回線40を通じてデータ受信状態信号を発信すると、最後の非同期型レジスタ28は、第2の非同期型レジスタと最後の非同期型レジスタとの間の非同期型レジスタ26から供給されたデータを格納し、DACK/NACK信号回線38を切り替えて最後の非同期型レジスタ28がヌル受信状態であることを示す。第2の非同期型レジスタと最後の非同期型レジスタとの間の非同期型レジスタは、第3の非同期型レジスタ24から供給されたヌルを格納し、自身のDACK/NACK信号回線36を切り替えて自身がデータ受信状態であることを示す。各レジスタ20、22、24、26、28のコンテンツは、データ間のヌルを保持した状態で、シフトダウンする。次いで、第1の非同期型レジスタ20は、上流のCBL/DRN回路224(図2)からのデータを受信する状態であることを示す。

【0031】

図1bは、非同期型レジスタのセルを示す。信号回線D0__0__In、D0__1__In、D1__0__In、D1__1__In、... D7__0__In、D7__1__Inは、上流回路(図示せず)から信号を搬送する。信号回線D0__0__Out、D0__1__Out、D1__0__Out、D1__1__Out、... D7__0__Out、D7__1__Outは、信号を下流回路(図示せず)に搬送する。ACK_IN75信号回線は、下流回路(図示せず)からデータ/NACK信号を搬送する。信号回線ACK_OUTは、DACK/NACK信号を上流回路(図示せず)に搬送する。

【0032】

ゲート42、44、46、48、... 70、72は、閾値ゲートである。これらの閾値ゲート記号に示す表示「22」は、各ゲートに入力が2つあり、閾値が2であること(2/2閾値ゲートともいう)を示す。すなわち、「22」ゲートの出力は、2つの入力両方がデータとなったときにヌルからデータに切り替わ

る。ゲート23、25、．．．37も閾値ゲートである。これらの閾値ゲート記号に示す表示「12」は、各ゲートに入力が2つあり、閾値が1であること（2／1閾値ゲートともいう）を示す。すなわち、「12」ゲートの出力は、2つの入力のうち1つがデータとなったときにヌルからデータに切り替わる。「22」ゲートおよび「12」ゲートはどちらも、ヒステリシスも示し、これにより両ゲートの入力がヌルに戻るまで出力はデータのままである。

【0033】

図1bは、例示目的のため、16個の「22」ゲート42、44、46、48、．．．70、72および8個の「12」ゲート23、25、．．．37を示す。図1bにおいて、8ビットのデータワード内の2値データの各1ビットについてデュアルレール信号を搬送するために2つの「22」ゲートが用いられる。従って、信号名変換Dx__0__、Dx__1__は、図中のデュアルレール対を示す。1つの「12」ゲート23、25、．．．37は、各デュアルレール「22」ゲートペアに対してデュアルレール信号の確認応答検出データを提供するために用いられる。レジスタにより大きく幅を持たせるためにさらなるゲートを追加することができる。閾値ゲートのトランジスタ図の例については、特許‘948に記載がある。

【0034】

閾値ゲート42、44、46、48、．．．70、72のヒステリシス特性は、メモリ性能を提供する。下流回路がACK__IN回線75上にデータレベル信号を保持する限り、ゲート42、44、46、48、．．．70、72は、入力D0__0__In、D0__1__In、D1__0__In、D1__1__In、．．．D7__0__In、D7__1__Inがヌルに戻っても、前に設定されたデータ状態を保持する。

【0035】

ゲート76は閾値ゲートである。「88」という表示は、ゲート76に入力が8個あり、閾値が8であることを示す。ゲート76は、データ確認応答検出ゲート23、25、．．．37の個々のビット確認応答信号を収集し、全ての信号が上流DRN回路へのデータになると、1つの確認応答信号を提供する。「88」

ゲート76および「12」ゲート22、24、... 36の組み合わせは、「ウォッチャ」回路として働く。この組み合わせは、全出力信号回線D0__0__Out、D0__1__Out、D1__0__Out、D1__1__Out、... D7__0__Out、D7__1__Outの状態を感知し、8個のペアの閾値ゲート42、44、46、48、... 70、72の1つがデータ状態を達成したことまたは16個のゲート42、44、46、48、... 70、72全てがヌル状態を達成したことを示す。（「12」ゲートの数およびゲート76の入力および閾値は、セル幅に応じて変更可能である。）

ゲート78は、ゲート78への入力がデータのときにヌルレベルを出力し、ゲート78への入力がヌルのときにデータレベルを出力する反転ゲートである。ゲート78は、次のデータ波またはヌル波が上流回路から適切にリクエストされるようにゲート76の出力を反転させる（ヌル出力は上流回路からのヌルのリクエストであり、データレベル出力はデータのリクエストである）。

【0036】

（DRN/CBLインターフェース）

上述のDRN論理信号は、ヌルおよびデータの交互からなる波を回路を通じて伝播させる。クロックブール論理の特性は、DRN論理信号の特性と異なる。上述のタイプのDRN FIFOバッファを用いる場合、CBL/DRNインターフェース回路224（図2）はヌル波を挿入しなければならない、DRN/CBLインターフェース回路228（図2）は、ヌル波を除去しなければならない。あるいは、ヌル波がデータストリーム中に既に現れている場合もあり得る。しかし、このような解決方法は、他の非DRNシステムのどこかにソフトウェアオーバーヘッドまたはハードウェアオーバーヘッドを増加させる。

【0037】

インターフェース接続を容易にするために、クロックブール回路は、ヌル波システムからデータをリクエストし、データを待機可能とならなければならない。同様に、クロックブール回路は、データをヌル波システムに転送する前に、データ確認応答/ヌル確認応答を待機しなければならない。

【0038】

図3 aは、図2のDRN/CBLインターフェース回路228として使用可能な第1のDRN/CBLインターフェース717の詳細を示す。図3 aは、ブール論理要素の周知の複数のグラフィック記号（例えば、ANDゲート763、761、ORゲート762、764、ラッチ751、752、753、754、マルチプレクサ769、770、およびインバータ765、766）を用いる。図3 aはまた、複数の閾値ゲート767、768も含む。

【0039】

インターフェース717は、1つの2値信号（例えば、2値ビット（0または1）または2値論理信号（真または偽））を転送する回路の詳細を示す。回線701上のデータ信号は、1つの2値ビットをブール2値形式で表したものを搬送する単一の信号回線である。接地電圧状態は2値0を表し、供給電圧状態は2値1を表す。～データ信号回線702は、データ信号回線701を反転した形式である。

【0040】

回路717は、それぞれが2つの電圧状態を有する2つの信号回線716、715を通じて1つの2値ビットのDRN表示を受信する。第1の回線716は「1」の意味に相当し、第2の回線715は「0」の意味に相当する。第1の回線716を通じて、供給電圧は第1の回線の意味を表すが、接地電圧は第1の回線の意味を表さない。これをヌル状態という。これらの2つの回線は共に、1つの2値ビットの情報を搬送する。データ__0回線716を供給電圧とし、データ__1回線715を接地電圧とする場合、これらの2つの回線は共に2値0を意味する。データ__1回線715を供給電圧とし、データ__0回線716を接地電圧とする場合、これらの2つの回線は共に2値1を意味する。回線715および716両方が接地レベルにある場合、信号は意味を持たず、ヌル状態になる。両方の回線が同時に供給レベルになることは不可能である。

【0041】

インターフェース回路717は、図2のDRN FIFO226のような上流DRN回路に接続し、CBL回路203（図2）のような下流のブール回路に接続する。DACK/NACK信号回線710は、上流の非同期型回路に対してイ

ンターフェース回路717が次のデータまたはヌル波面を受信する状態になったことを示す。

【0042】

クロック__2信号回線712は、下流のブール回路（図示せず）からのシステムクロックである。リクエスト信号回線703および確認応答信号回線704は、プロトコルにおいてデータを下流のブール回路に転送するために用いられる。リクエスト信号回線703は、ハイになると、下流のブール回路が新しいデータを受信する状態になったことを知らせる。確認応答信号回線704は、ハイになると、インターフェース回路にあるデータが転送できる状態になったことを知らせる。

【0043】

図3aに示すインターフェース回路717は、1ビットの2値情報をDRN形式からCBL形式へと変換する回路の詳細を示す。入力信号回線715、716は、この情報をヌルおよびデータの交互からなる波面として搬送する。信号回線701を通る2値出力信号データは、信号回線716を通るデータ__1入力から取り出される（*derive*）。以下に説明するようなデータがラッチ751、752を通過する際のタイミングの問題によって、データ__1が意味（供給電圧レベル）を持つようになると、データ出力回線701は、供給電圧レベルをとり、2値数値1を示すようになる。データ__0が意味（供給電圧レベル）を持ち、データ__1がヌル（接地電圧レベル）になると、データ出力回線701は接地電圧をとり、2値数値0を示すようになる。～データ回線702もこれと同様に動作するが、データ__0入力回線715に基づいて、データ回線701の結果と反対の結果を生成する。

【0044】

インターフェース回路717は、信号回線715、716を通じて、Clock__2信号回線712が次に負方向に遷移するときに、受信されたデータをラッチ751および753に格納する。これらのラッチ715、716は、特定の環境下で準安定性を妨げ、回路の有用性をなくすことなく省略され得る。以下のClock__2の正方向の遷移は、データをラッチ752および754にクロック

信号を発振する。

【0045】

インターフェース回路717は、リクエスト信号回線703を通じて下流のCBL回路（図示せず）からデータリクエストを受信し、データの準備ができると、確認応答信号回線704を通じて確認応答信号を発行する。データは同時に確認応答信号としてデータ回線701を通じてクロックブール回路に送信され、これらはどちらもローカルクロック信号すなわち回線712を通るClock__2と同期して遷移する。信号回線702は、回線701を反転させ、負論理バージョンであり、負論理が所望される場合に、下流回路による回線701を通る信号の代わりに用いられ得る。

【0046】

インターフェース回路717は、ラッチ752（および／またはラッチ754）から情報を転送してラッチ752（および／またはラッチ754）からの情報を空にした後に、上流DRN回路（図示せず）からDACK／NACK信号回線710を通じてデータをリクエストする。インターフェース回路717は、信号回線716および715（データ__0およびデータ__1）を通じて次のデータ波面を受信する。このデータは、格納され、リクエストの際に下流のCBL論理回路へ転送可能な状態にされる。

【0047】

下流CBL回路からのデータリクエスト信号が信号回線703に到着すると、ラッチ752および754からのデータ転送が可能な状態になっている場合、ANDゲート761は信号回線704を通じて確認応答信号を生成する。ラッチ752および754内でデータが準備できていない場合、データが準備できるまで閾値ゲート767からのロウ信号がリクエストをブロックする。ANDゲート761が（アクティブハイ）確認応答信号を生成した後、保持回路719内のラッチ755は、その確認応答信号をオフにし、次のClock__2サイクルで回線707を通じてロウ信号をANDゲート761に送信することにより、（その信号をロウレベルに戻す）。

【0048】

保持回路719はまた、ORゲート762およびANDゲート763も含む。ORゲート762の出力はまた、ORゲート764を通過してマルチプレクサ769、770の制御入力に到達する。マルチプレクサ769、770は、ラッチ752、754の入力を、自身のそれぞれの出力またはラッチ753、751を通じて受信する入来データのどちらかに選択的に接続する。従って、回線704を通る確認応答信号がハイまたは保持回路719がアクティブの場合、マルチプレクサ769、770は、データ波面をラッチ751、753からラッチ752、754へと通過させるようイネーブルされる。

【0049】

ラッチ752、754が上流のDRN回路からの意味のあるデータを保持すると、一方のラッチはデータ値を保持し、他方のラッチはヌル値を保持する。閾値ゲート768の出力はアサートされる（すなわち、非ヌルとなる）。それとは対照的に、ラッチ752、754の両方がヌル値を持つと、閾値ゲート768の出力はヌルとなる。インターフェース回路がデータ処理回路717の複数のレプリカを含むよう拡張されている場合、全レプリカからの対応する閾値ゲート768からの出力は閾値ゲート767への入力として収集される。

【0050】

閾値ゲート767は、回線708を通り、かつ複数の機能を行う出力を生成する。閾値ゲート767は最初に、インバータ766により反転させられた後のDACK/NACK信号の方式を回線710上に形成する。このDACK/NACK信号は、ラッチ752、754がヌルまたは意味を持つデータを保持するかどうか、上流回路が送信可能な信号のうちどれが相補型波形（ラッチがヌルを保持する場合のデータ、またはラッチがデータを保持する場合のヌル）なのかを上流の回路に示す。信号回線708を通じてハイに遷移すると、インバータ766の出力は、ハイからロウへと切り替わり、これによりDACK/NACK信号は「データリクエスト」から「ヌルリクエスト」へと変換される。

【0051】

次に、閾値ゲート767はマルチプレクサ769、770用の制御信号を提供する。インバータ766からの（ORゲート764を通過する）ロウ信号は、マ

マルチプレクサ769および770を、データがラッチ752および754の出力からそれぞれの入力まで再循環するように設定する。従って、下流のCBL回路によって必要とされるまで、データを複数のクロックサイクルにわたって保持する。

【0052】

次いで、閾値ゲート767は入力を保持回路719に提供する。ヌルの場合、閾値ゲート767の出力は、ロウレベルをラッチ795にクロックすることにより保持回路719をリセットする。ヌルのとき、閾値ゲート767の出力はまた、マルチプレクサ770および769を切り替えて、新しいデータをラッチ751、753からラッチ752、754へと通過させるようする。

【0053】

リセット信号回線711は、インターフェースのフリップフロップ751、752、753、754、755全てをリセットする。パワーアップまたはリセットが行われると、図3aのインターフェース回路717は、上流DRN回路からのデータが流れるまで、下流CBL回路からのデータへのリクエストを提供しない。同様に、第1のデータリクエストがサービスされた後、インターフェース回路717は、新しいデータを受信するまでは下流CBL回路から第2のデータリクエストをサービスしない。この特性は、データのオーバーフローまたはアンダーフローを防止する。

【0054】

より詳細には、リセット回線711上のアクティブ（ハイ）信号は、ロジックロウを自身の「Q」出力に配置しているラッチ751、752、753、754全てをリセットする。信号回線701および702は、ロウまたは0レベルをとる。閾値ゲート768は自身の出力をヌルに変更し、これによりANDゲート761の出力をロウにし、ANDゲート761が確認応答信号704を下流のクロックブール回路に提供することが妨げられる。インバータ766は、信号回線708上のヌルレベルを反転させて、「データリクエスト」信号を信号回線710を通じて上流の回路に提供し、（ORゲート764を通じて）マルチプレクサ770、769を上流回路からデータを通過させるように切り替える。次いで、イ

ンターフェース回路717は、上流回路から別のデータが来るのを待機し、閾値ゲート768がラッチ752、754でデータ到着を感知するまで、下流回路からのデータリクエストに応答しない。

【0055】

図3aの回路は、1ビットのデータの転送を示す。この回路は、データ搬送回路717を複製することにより、数ビットを同時に転送できるよう幅を（例えば、8ビット、16ビット、32ビットまたはもっと大きなデータワードなどに）拡張可能である。さらに、閾値ゲート768のレプリカの出力全てを単一の閾値ゲート767への入力とし、ゲート767の閾値を入力数に応じて増加させる必要がある。

【0056】

図4aおよび4bは、図3aの回路を示すが、以下の2点の機能において修正されている：1）同期型リセット能力、および2）クロックデータをクロックブール回路に転送する別のプロトコルとして用いられるゲートクロック。図3a、4a、および4bに共通する回路構成要素には同じ参照符号を付している。

【0057】

同期型リセット機能に関して、回線711からの外部リセット信号は、回線712からのClock__2信号によりクロックされる2つの直列接続されたラッチ757、758のデータ入力部を通過する。外部リセット回線711はまた、ラッチ757、758のSET入力にも接続する。外部リセット回線711は、アクティブ（ハイ）になると、ラッチ758、757両方をすぐに設定し、これにより、内部リセット回線773は、ラッチ751、752、753、754、755、765をクリアする。外部リセット回線が非アクティブになると、前に設定されたラッチ757、758は、内部のリセット回線のアクティブ状態を回線712を通るClock__2信号のクロックサイクルの少なくとも1サイクル分は維持し、これにより、非同期型外部リセットに関連するあらゆる準安定性の問題の可能性が特定される。このローカルリセットは、伝達して他の回路に用いることもできる。

【0058】

ゲートクロック機能に関して、インバータ773を通じて信号回線712からのClock__2信号は、立ち下がりクロックエッジにおいて、確認応答信号をANDゲート761からラッチ756へとクロック信号発振して、その後にANDゲート771との乱調状態が発生するのを防止する。ラッチ756の出力は、やはり入力としてClock__2信号を受信するANDゲート771の入力に接続する。このようにしてラッチ756の出力はClock__2信号をゲート制御し、これにより、確認応答信号がラッチ752、754からのデータ転送状態であることを示した時、Clock__2信号の遷移は、Clock__2__ゲート回線772のみに現れる。

【0059】

回線772上のゲートクロック信号は、上述のリクエスト／確認応答ハンドシェーキングへの別のハンドシェーキングプロトコルとして働く。この回路は、データ転送をアクティブに行っているときのみにクロック（Clock__2__ゲート）を下流のクロックブール回路に提供する。下流回路は、データを受信した後、リクエスト信号回線706をロウに低下させることにより、クロックを停止し得る。

【0060】

（CBL／DRNインターフェース）

図3bは、CBL／DRN回路224（図2）として用いられ得る回路818を示す。CBL回路は、データ信号を回線801を通じて2値形式で提供し、またClock__1信号を回線813上に提供する。リセット回線811は、回路をリセットするための入力である。インターフェース回路818は、データ信号およびヌル信号を、データ__0信号回線804およびデータ__1信号回線805上の下流の非同期型回路にDRN形式で提供する。確認応答回線803、リクエスト回線802は、インターフェース回路と上流のCBL回路との間のデータフローを調整する。信号回線806上のDACK／NACK信号は、データフローを下流のDRN回路用に調整する。

【0061】

ブール2値形式からDRN形式へのデータ形式変換は、ラッチ853、854

、855を含む。インターフェース回路818は、回線801を通じて受信した2値データをラッチ853に格納する。ラッチ853では、接地レベルの電圧は2値0を意味し、供給レベル電圧は2値1を意味する。ラッチ853のデータ出力はマルチプレクサ870の一方の入力部を通過し、2本の経路に沿って分かれる。一方の経路は、インバータ871、マルチプレクサ873、およびANDゲート874を通過してラッチ854のデータ入力部に到達する。他方の経路は、マルチプレクサ872、およびANDゲート875を通過してラッチ855のデータ入力部に到達する。ラッチ854、855では、接地電圧レベルはヌルを意味し、供給電圧レベルはデータを意味する。より具体的には、ラッチ854のデータレベルは数値0（または論理値偽）を意味し、ラッチ855のデータレベルは数値1（または論理値真）を意味する。

【0062】

インターフェース回路818は、リクエスト回線802をハイに設定することにより、上流のCBL回路からのデータをリクエストする。回線802上のリクエストレベルがハイであると、データ回線801がラッチ853のデータ入力部に接続するようにマルチプレクサ868を切り替えることにより、インターフェース回路818もデータを受信するための準備をする。回線802を通るリクエスト信号はまた、インバータ869を通過して、ラッチ853の出力を回線812の分割データ経路に接続するようにマルチプレクサ870を切り替える（一方の経路はインバータ871を通してマルチプレクサ873につながり、他方の経路はマルチプレクサ872に直接つながる）。

【0063】

上流の回路は、確認応答回線803をハイに設定し、新しいデータを信号回線801上に配置することにより、リクエスト回線802上のハイレベルに応答する。ラッチ853は、次にClock__1転送クロックが回線813上で正方向に遷移した際に、CBL回路からのデータを格納する。

【0064】

回線803上のハイ確認応答レベル信号は、即座にORゲート864および信号回線809を通してマルチプレクサ873、872へと到達し、各マルチプレ

クサは、2つのANDゲート874、875の一方への2つの分岐経路へと接続される（これにより、以下により詳細に説明するような下流回路へデータを送達する（deliver）インターフェース回路818が準備される）。

【0065】

回線803上のハイ確認応答レベル信号はまた、ORゲート864を通過し、データをラッチ853に格納するクロック遷移と同時にラッチ852に格納される。次いで、このハイレベル信号はラッチ852の出力に現れ、信号ネット810を通過する。インバータ866はこのハイ信号をネット810から受信して変換し、ANDゲート867をディセーブルし、これにより、リクエスト回線802をロウレベルにリセットし、前のデータリクエストをキャンセルする。リクエスト回線が802がリセットされると、インターフェース回路818が再設定され、データが下流回路へと送達される。また、回線802上のロウレベル信号は、マルチプレクサ868を切り替えて、その後の回線813上でのクロックサイクルの際に前に格納したデータをラッチ853内で再循環させ、これにより、前に受信したデータを送信し終わるまでにそれ以上データ受信をブロックする。ラッチ852の出力から（ANDゲート865およびORゲート864を介して）ラッチ852の入力に戻ってくる信号経路は、ハイレベル信号を戻し、これにより、その後の回線813上でのクロックサイクルの間、格納されているハイレベル信号を維持する。上述したように、上流CBL回路からラッチされた新しいデータを用いて、マルチプレクサ873および872は、現在のデータの再循環を停止し、信号回線812から転送された新しいデータを通過させるよう設定される。

【0066】

DRN回路（例えば、図2のDRN FIFO）は、DACK/NACK回線806をデータに設定することによりデータをリクエストする。データが複数の下流DRN回路まで広がると、閾値ゲート861は、それらの回路全てからDACK/NACK信号を収集し、下流回路全てがそのデータの信号を発信し終えたときに単一のリクエストをラッチ851の入力部に送達する（ゲート861は4つの入力部および閾値が4として図示し、この実施例では4つの下流回路を仮定

している)。ラッチ851は、次にクロック回線813上で負方向に遷移した際にこの信号を格納し、これにより、ラッチ854、855からの準安定性が特定される。

【0067】

ラッチ851から信号回線808を通じたハイ（またはデータ）レベル出力は、ANDゲート874、875がデータをラッチ854、855に送ることをイネーブルし、ラッチ854、855は、次にクロックが信号回線813上を立ち上がり遷移する際にデータを格納する。2つのラッチ854、855の一方は、下流回路のヌル信号に相当する接地電圧レベルを格納し、一方、他方のラッチは、データ信号に相当する供給電圧レベルを格納する。

【0068】

ラッチ854、855は、格納したレベルをそれぞれの出力回線804、805に配置する。閾値ゲート876は、出力回線804、805上のデータの存在を検出し、供給レベル（データ）信号を生成する。この供給レベル信号は、閾値ゲート878およびインバータ877を伝播し、回線807上でロウレベルとなる。このロウ数値は、ANDゲート867への入力に現れ、回線802よりも前のデータリクエストをキャンセルする。また、このロウレベル信号は、ANDゲート865への入力にも現れ、ラッチ852をクリアする（すなわち、ラッチ852内のロウレベル信号を格納する）。ラッチ852がクリアされると、マルチプレクサ872および873はデータをラッチ854、855で再循環させ、データを保持する。また、ラッチ852がクリアされると、マルチプレクサ868、870は、新しいデータを上流回路からラッチ853へと送るように設定される。従って、インターフェースがデータを回線804、805上の下流回路に供給すると、インターフェースは、自身が新しいデータをリクエストして上流回路から受信することを即座にイネーブルする。

【0069】

下流のDRN回路（単数または複数）は、回線804、805からデータを受信すると、そのデータを格納する。データを格納した後、下流のDRN回路（単数または複数）は、DACK/NACK信号回線806をヌルに設定することに

より、ヌルの波面をリクエストする。下流回路全てがヌルをリクエストする場合、閾値ゲート861はロウ信号を出力する。ラッチ851は、次にクロック回線813を通じて負方向に遷移するときにロウ信号をロードし、これにより、ラッチ854、855から準安定性問題が特定される。ラッチ851からのロウ出力はANDゲート874、875に到達し、これらの出力をロウにする。ラッチ854、855は、次にクロック回線813上を立ち上がり遷移するときにこれらのロウレベル信号を格納し、これにより、出力回線804、805双方にロウ信号を供給する。これは、ヌル波面の生成に相当する。閾値ゲート876は、信号回線804および805上のヌル波面を感知して、ヌル（ロウ）出力を生成する。閾値ゲート878は、ロウ出力を生成し、これにより、インバータ877は回線87を通じてハイに変換する。回線807がハイレベルになると、ANDゲート867が上流回路から新しいデータをリクエストすることがイネーブルされる。このようにして1つのデータ転送が終了する。

【0070】

リセット回線811上のハイ信号は、ラッチ851、821、853、854、および855を、保持データの無い状態に相当する公知の状態（ロウレベルの格納）にリセットするために用いられ得る。閾値ゲート867は、出力信号回線804、805上のヌルの存在を感知して、ヌルを生成する。ゲート878は、別個のゲート867の信号を収集し、ヌルを生成し、インバータ877は信号回線807をハイに駆動し、これにより、回線802を通じたデータリクエストがイネーブルされ、さらに、回路は上述したようにデータを受信するよう設定される。回線802上のハイ信号は、インバータ869を通過して、データ回線801を信号回線812に直接接続するようにマルチプレクサ870を制御する。このようにして直接的に接続すると、ラッチ854、855に対して「プレチャージ」を提供し、そうでない場合に第1の新しいデータを受信するときに存在する1クロック分の長さの「デッドスポット」を避ける。従って、以下の変換段階が準備できていれば、データおよび対応する確認応答信号が到着するとすぐにデータがインターフェースの非同期型論理変換段階に供給されるため、データをすぐに活用することができる。

【0071】

図4 cおよび4 dは、以下の1) 2) の点を改変している以外は図3 bの回路と同じである：1) 同期型リセット能力、および2) クロックデータをクロックブール回路に転送する別のプロトコルとして用いられるゲートクロック。図3 b、4 c、および4 dに共通する回路構成要素には同じ参照符号を付している。

【0072】

同期型リセット機能に関して、回線811からの外部リセット信号は、回線813からのClock__1信号によりクロックされる2つの直列のラッチ856、857のデータ入力を通過する。また、外部リセット回線811は、ラッチ856、857のセット入力にも接続する。外部リセット回線811がアクティブ（ハイ）になると、すぐに両ラッチ856、857が設定され、これにより、内部リセット回線815がラッチ851、852、853、854、および855をクリアするように駆動される。外部リセット回線がロウ（非アクティブ）の場合、前に設定されたラッチ856、857は、内部リセット回線を少なくとも回線712を通るClock__1信号の1サイクル分はアクティブに維持し、これにより、非同期型外部リセットに関連する準安定性問題のあらゆる可能性が特定される。このローカルリセットは、付属の外部回路をリセットするのにも用いられ得る。

【0073】

ゲートクロック機能に関して、信号回線813からインバータ880を通じて来るClock__1信号は、立ち下がりクロックエッジにおいてANDゲート867からのリクエスト信号をラッチ880にクロックし、その後にANDゲート879との乱調状態が発生するのを防止する。ラッチ858の出力は、これもまた入力としてClock__1信号を受信するANDゲート879の入力に接続する。このようにしてラッチ858の出力はClock__1信号をゲート制御し、これにより、リクエスト信号がラッチ853へのデータ転送状態であることを示した時、Clock__1信号の遷移は、回線817のみに現れる。

【0074】

下流回路が上述したリクエスト／確認応答ハンドシェーキングを利用できない

場合、回線817上のゲートクロック信号は、別のハンドシェーキングプロトコルとして働く。この回路は、データ転送をアクティブに行っているときのみにクロック（Clock__1__ゲート）を上流のCBL回路に提供する。このインターフェース回路は、データを受信した後、リクエスト信号回線702をロウに低下させることにより、クロックを停止し得る。

【0075】

（ヌル波による待ち時間）

CBLデータ表示からDRN表示への変換が行われているとき、データ波中にヌル波を挿入しなければならない。図1aのFIFOアーキテクチャの場合、別のレジスタがヌル波およびデータ波を保持するため、DRN FIFOは、CBL回路からデータ転送を行うたびに転送サイクルを2回（ヌル1回およびデータ1回）終了しなければならない。しかし、クロックFIFOはサイクル速度が実際のクロック速度までに限定されるのに対してDRN FIFOは1サイクルを物理的デバイスが許す限りの速度で行うため、DRN FIFOバッファの実際のスループット速度はクロックFIFOバッファの速度の半分よりも速い。データ速度が使用回路の物理的切換速度に近いシステムの場合でも、クロックFIFOはクロックレートと物理的デバイスの切換速度との間に固有のマージンを有しているため、図1aの非同期型FIFOバッファは、クロックFIFOの半分よりも高速である。絶対的な速さが重要となる状況において、非同期型FIFOバッファは、スループットが増加するように設計可能である。

【0076】

図5は、図2のアーキテクチャよりもスループットを増加させたバッファアーキテクチャを示す。図5のアーキテクチャは、回線103、105上の確認応答信号およびリクエスト信号によって制御されるプロトコルを用いて、信号回線101を通じてクロックデータストリームを受信する。クロックデマルチプレクサ107は、そのデータストリームを2つに分割し、別のデータワードを2つのCBL/DRNインターフェース109、111のうちの1つに通じる2つの経路の各々に方向付ける。図5の実施例において、各インターフェースは、8つの2値データ回線を16本のデュアルレール信号回線に変換する。2つのDRN F

I F Oバッファ113、115はそれぞれ、分割されたデータストリームの1つを2つのDRN/BCLインターフェース117、119のうちの1つに転送する。DRN/BCLインターフェースは、ヌル波を除去し、16本のデュアル信号回線を8つの2値信号回線に変換する。マルチプレクサ121は、2つのデータストリームを再アセンブルして1つのデータストリームに戻し、信号回線125、127、上の確認応答信号およびリクエスト信号を用いて、そのデータを受信回路に転送する。

【0077】

各DRN F I F Oバッファ113、115は、有効幅が大きいため、1つのF I F Oバッファの深さの半分であり、しかも同一の情報の絶対量を保持することができる。また、深さが浅くなった分、1つのF I F Oアーキテクチャに比べて待ち時間も半分になる。

【0078】

これらのCBL/DRNインターフェース回路109、111は、図3b、4c、および4dに示したものと同一であり得る。これらのDRN/CBNインターフェース回路117、119は、図3a、4a、および4bに示したものと同一であり得る。これらのF I F Oバッファは、図1aおよび1bに示したものと同一であり得る。

【0079】

上記の例示的实施形態および詳細な説明から、エレクトロニクスおよびコンピュータの分野に効果的な発展が現れることが理解される。上記の概念、技術、およびシステムは、広範なる用途を有し、当業者に対して多数の改変例および代替的システムを提案する。

【図面の簡単な説明】

【図1a】

図1aは、中央非同期型論理F I F Oバッファの構造を示す。

【図1b】

図1bは、非同期型論理レジスタのセルを示す。

【図2】

図2は、第1のクロックドメインから第2のクロックドメインへとデータを転送するインターフェースシステムのブロック図を示す。

【図3a】

図3aは、ヌルを用いた非同期型デュアルレール論理をクロックブール論理に変換する回路を示す。

【図3b】

図3bは、クロックブール論理をヌルを用いた非同期型デュアルレール論理に変換する回路を示す。

【図4a】

図4aは、図3aの回路のゲートクロックおよび同期型リセットサブ回路を改変した回路を示す。

【図4b】

図4bは、図3aの回路のゲートクロックおよび同期型リセットサブ回路を改変した回路を示す。

【図4c】

図4cは、図3bの回路のゲートクロックおよび同期型リセットサブ回路を改変した回路を示す。

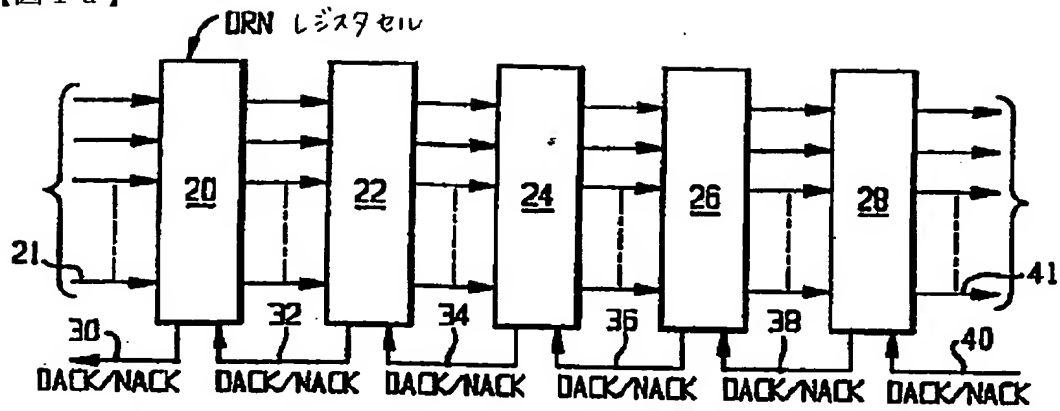
【図4d】

図4dは、図3bの回路のゲートクロックおよび同期型リセットサブ回路を改変した回路を示す。

【図5】

図5は、デュアル非同期型FIFOバッファを用いたインターフェースのブロック図を示す。

【図1 a】



【図1 b】

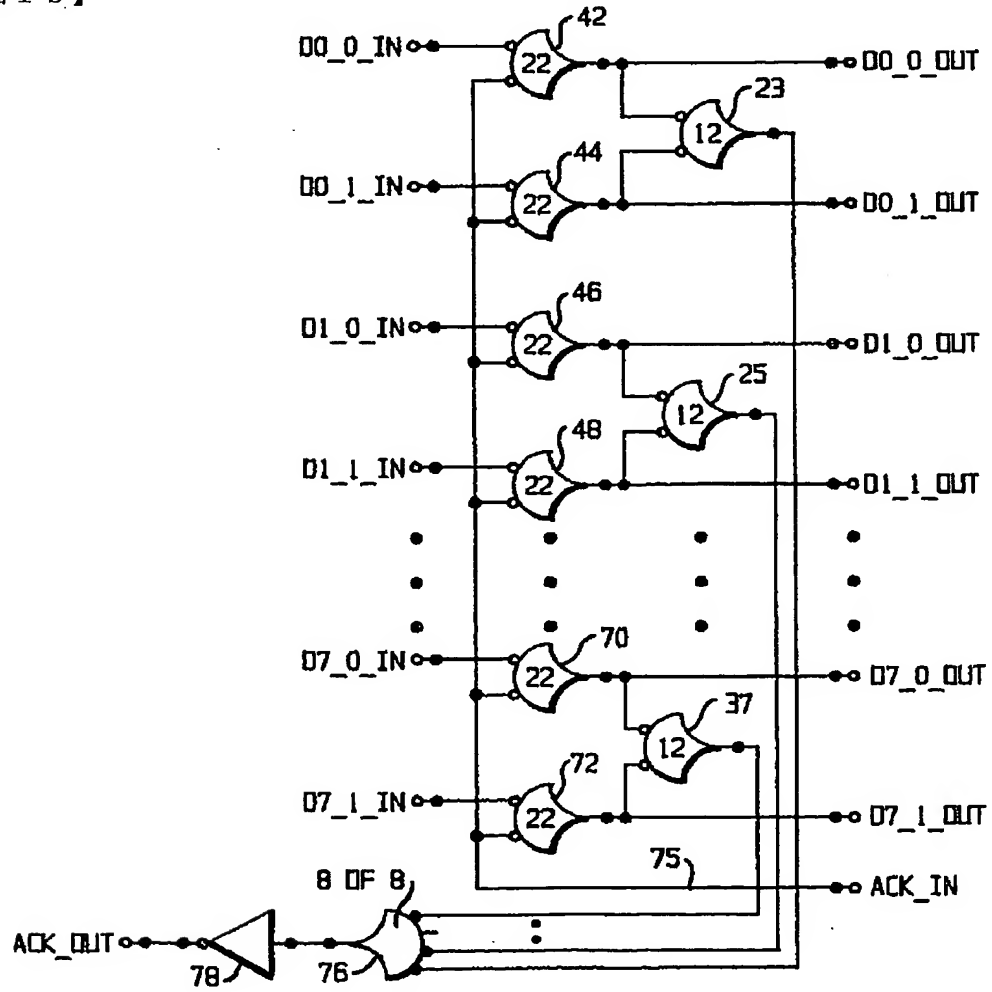
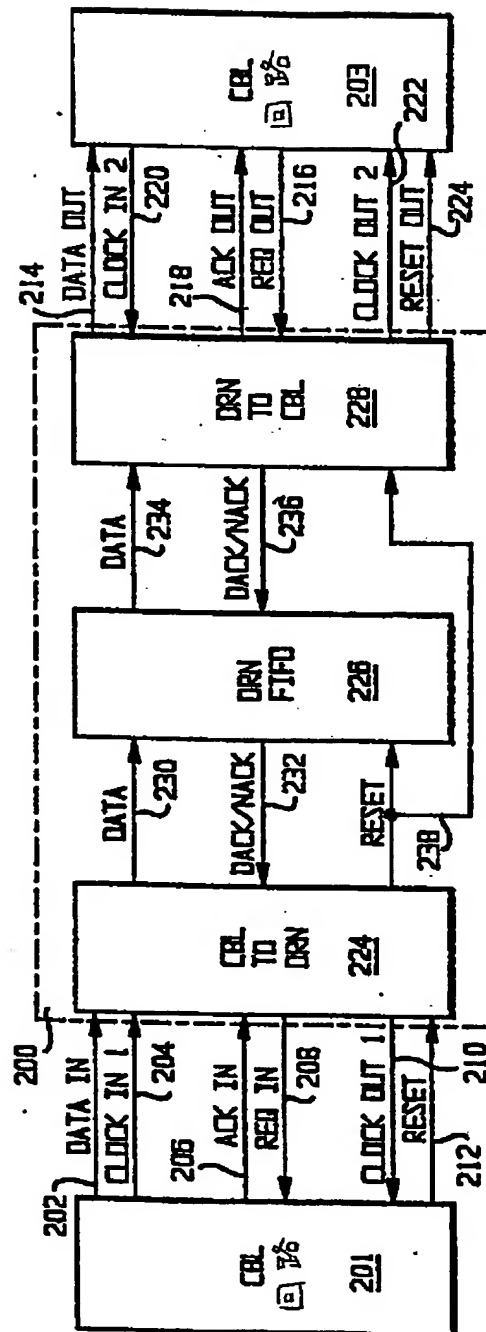
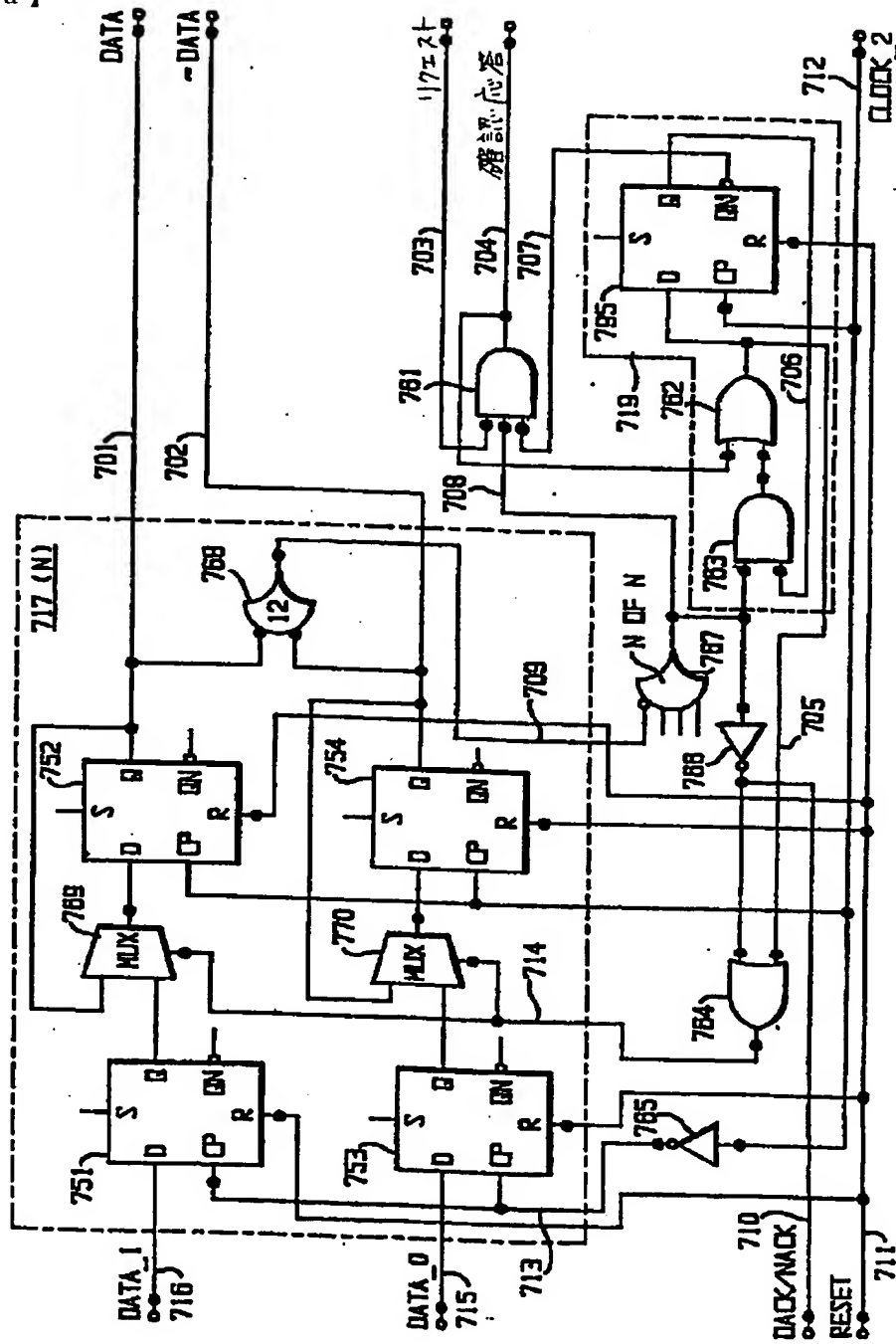


FIG. 1b

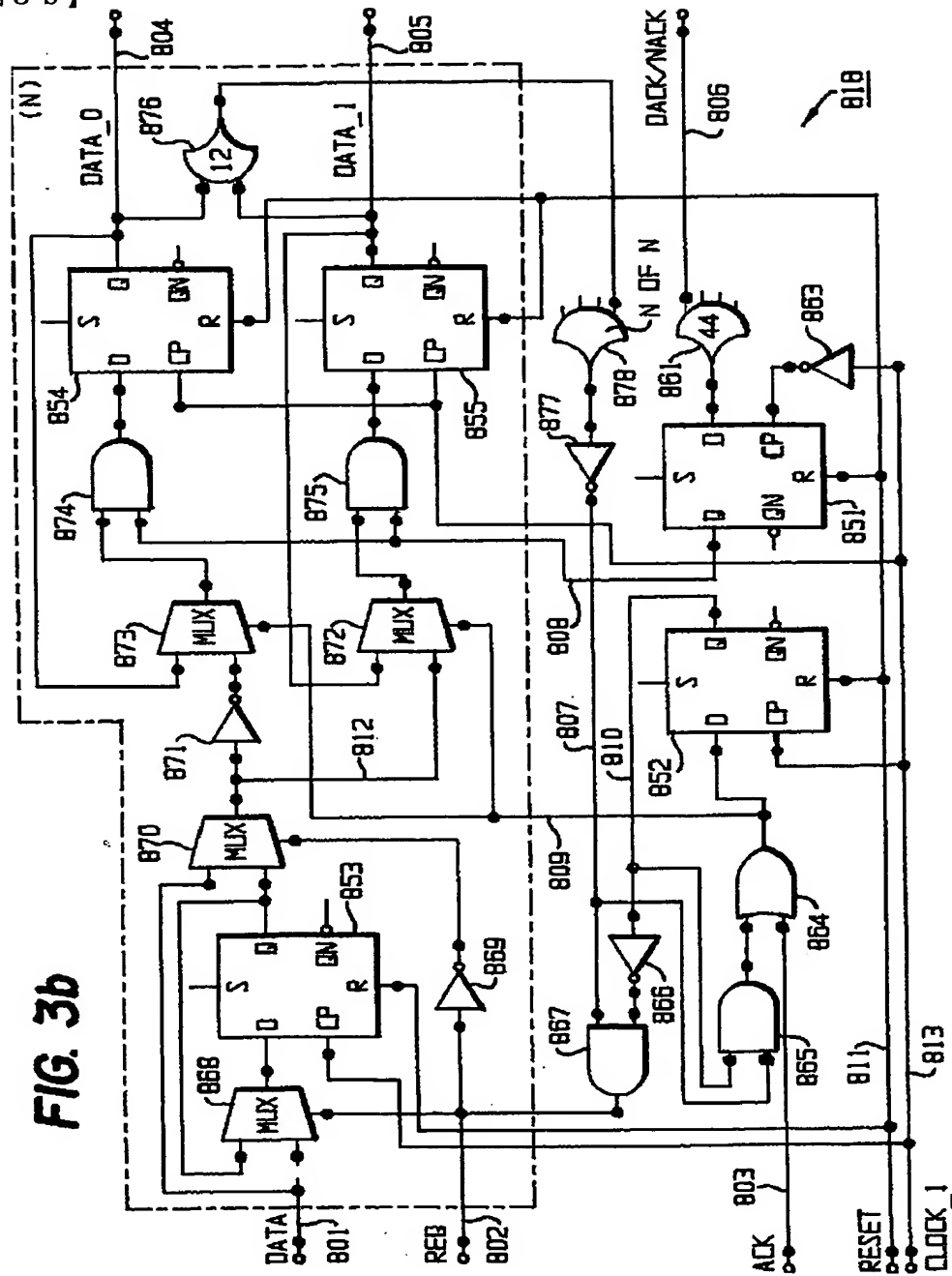
【図 2】



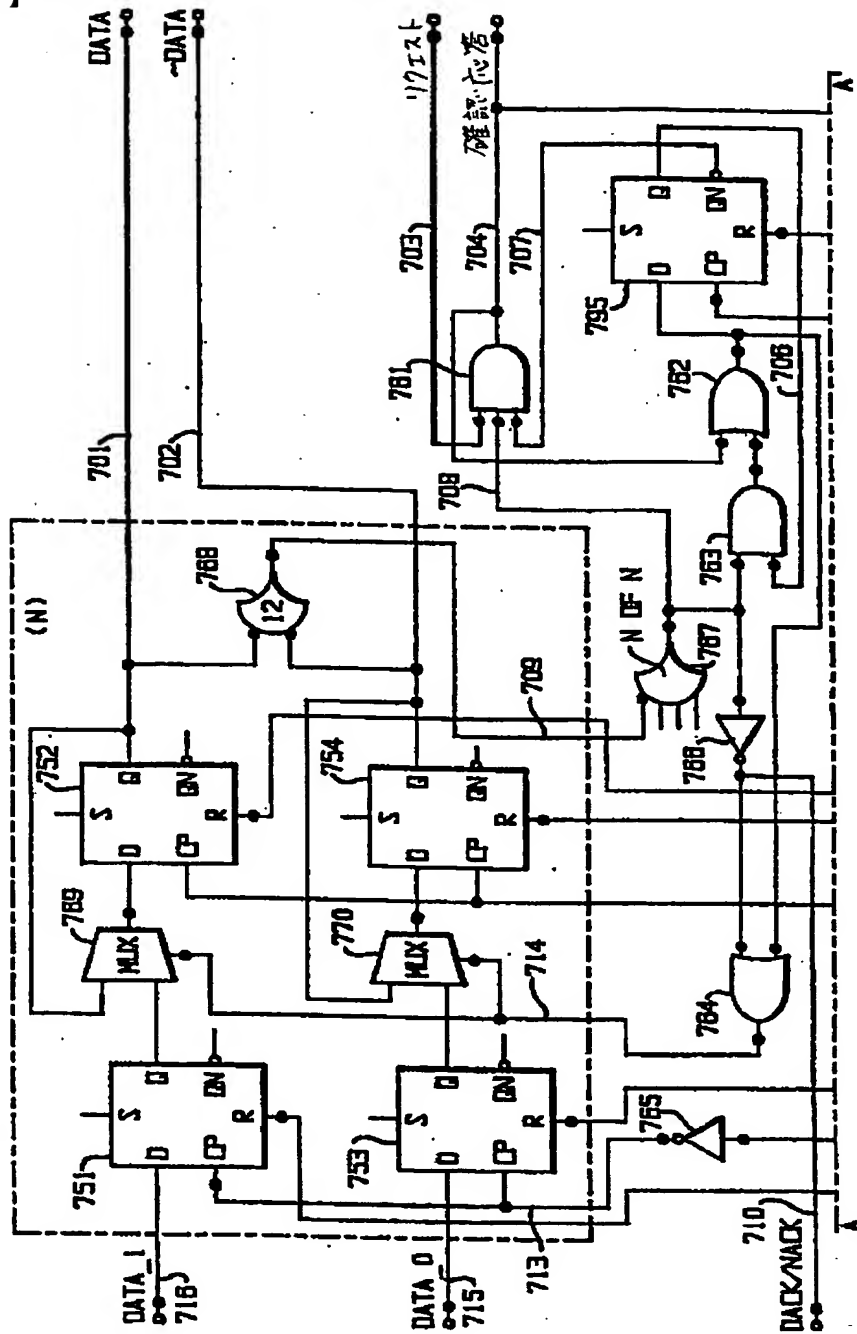
【図3a】



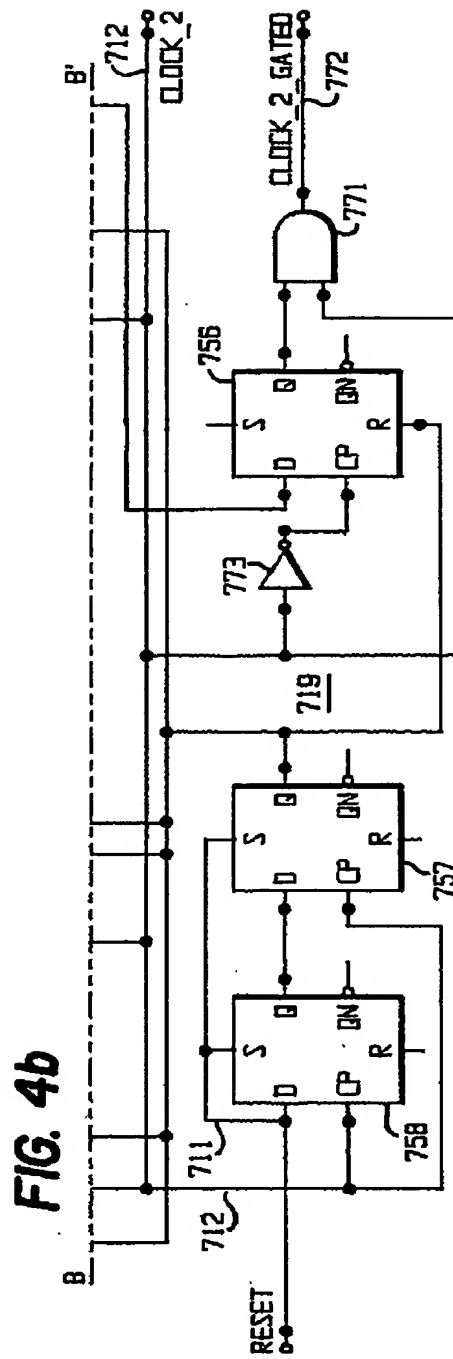
【図3b】



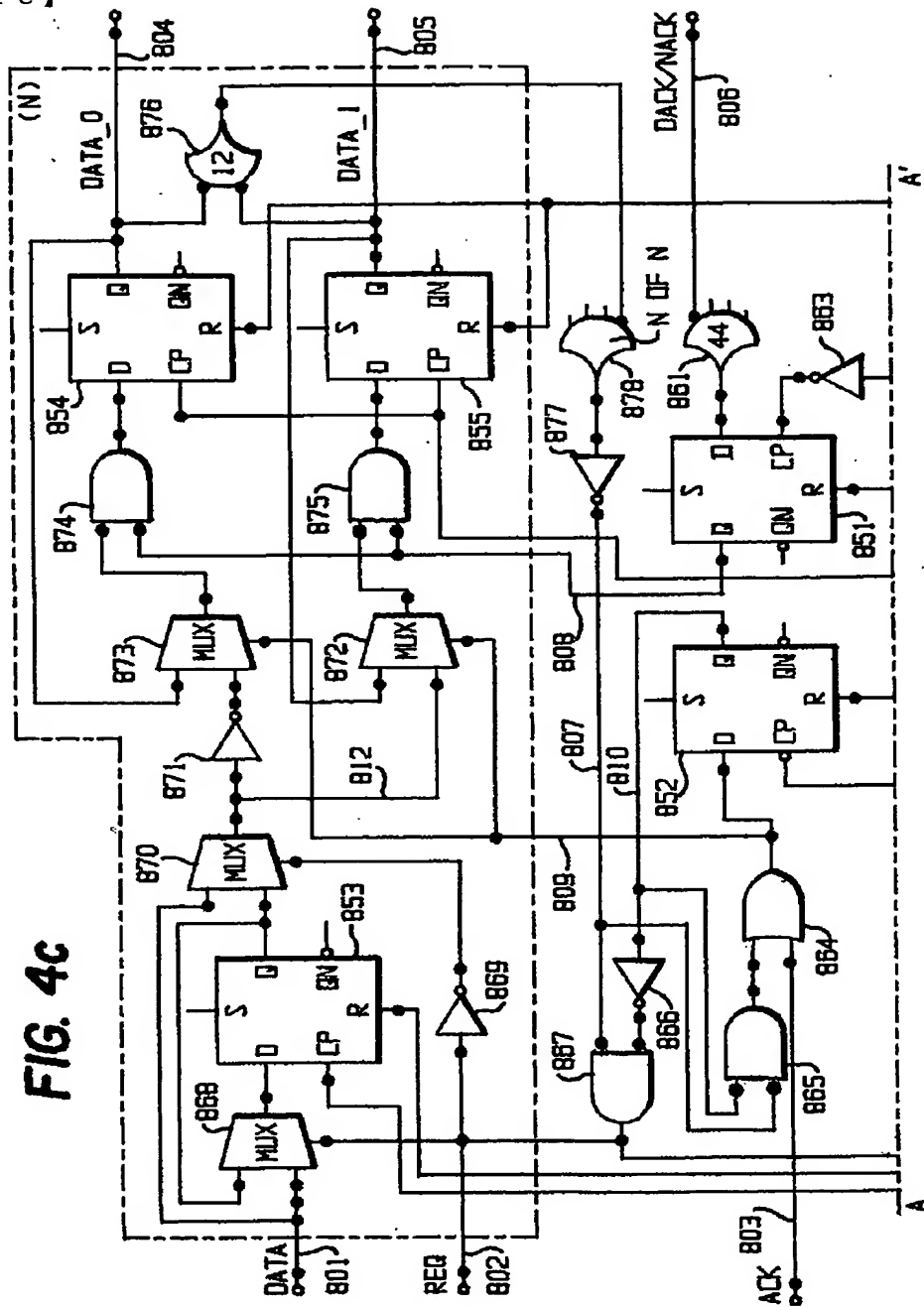
【図4a】



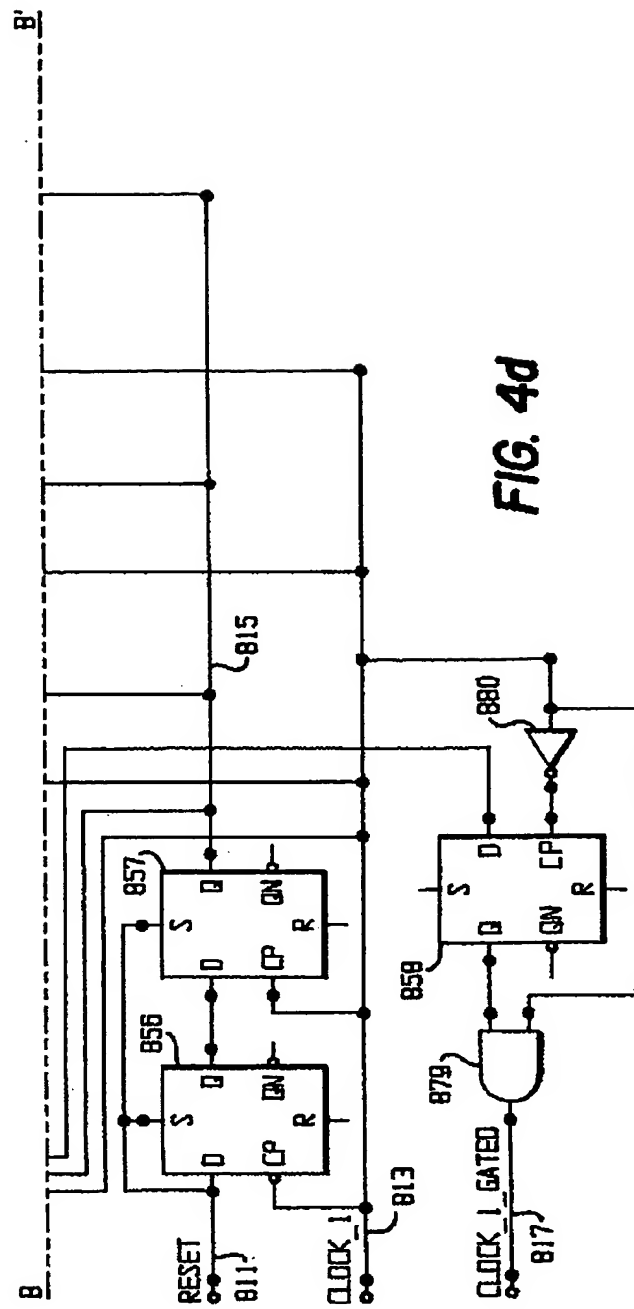
【図 4 b】



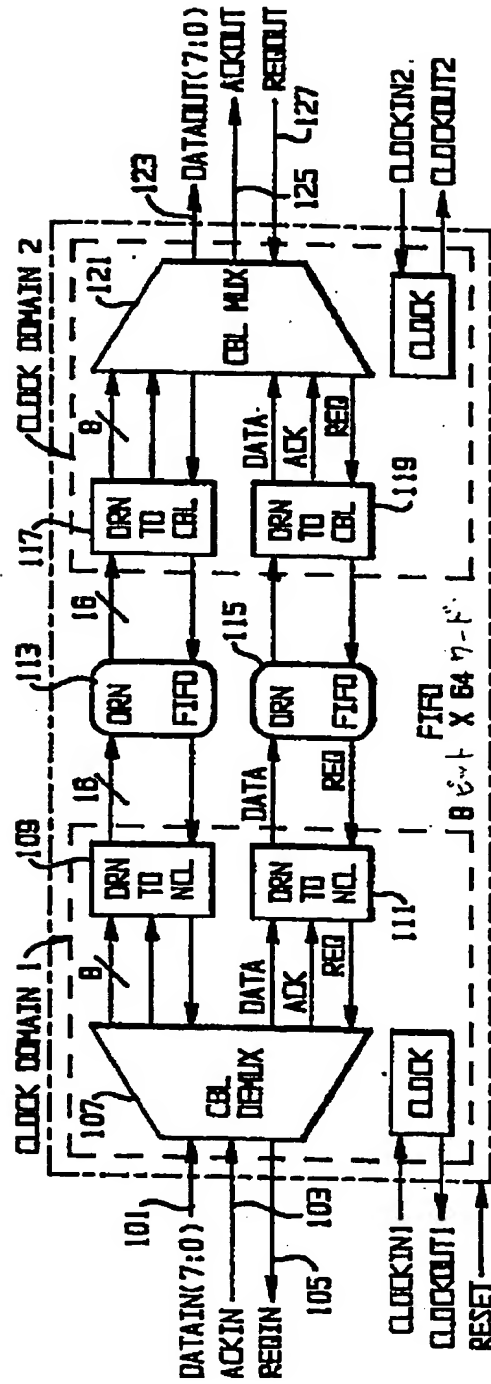
【図4c】



【図4d】



【図 5】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US99/18822

A. CLASSIFICATION OF SUBJECT MATTER IPC(6) : G06F 13/14; H03K 19/0175 US CL : 325/63; 710/52, 70; 712/36 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 325/63; 370/412; 709/234; 710/52, 70; 712/36 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) WEST, IEEE		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5,212,686 A (JOY et al) 18 May 1993	1
A	US 5,475,680 A (TURNER) 12 December 1995	1
A	US 5,652,902 A (FANT) 29 July 1997.	1
A	US 5,764,081 A (FANT et al) 09 June 1998.	1
A	MARIANI, R. et al. A useful application of CMOS ternary logic to the realisation of asynchronous circuits, IEEE International Symposium on Multiple-Valued Logic, 1997, pp. 203-208.	1
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: 'A' document defining the general state of the art which is not considered to be of particular relevance 'E' earlier document published on or after the international filing date 'L' document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) 'O' document referring to an oral disclosure, use, exhibition or other means 'P' document published prior to the international filing date but later than the priority date claimed	'T' later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention 'X' document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone 'Y' document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art 'Z' document member of the same patent family	
Date of the actual completion of the international search 06 NOVEMBER 1999		Date of mailing of the international search report 08 DEC 1999
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230		Authorized officer THOMAS LEE <i>Joni Hill</i> Telephone No. (703) 305-9717

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US99/18822

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	NAGATA, Y. et al. Design of an asynchronous digital system with B-ternary logic, IEEE International Symposium on Multiple-Valued Logic, 1997, pp. 265-271.	1
A	HANYU, T. et al. Asynchronous multiple-valued VLSI system based on dual-rail current-mode differential logic, IEEE International Symposium on Multiple-Valued Logic, 1998, pp. 134-139.	1